

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-109961

(43)Date of publication of application : 25.06.1984

(51)Int.Cl. G06F 13/00
G06F 7/00

(21)Application number : 57-218355 (71)Applicant : HITACHI LTD

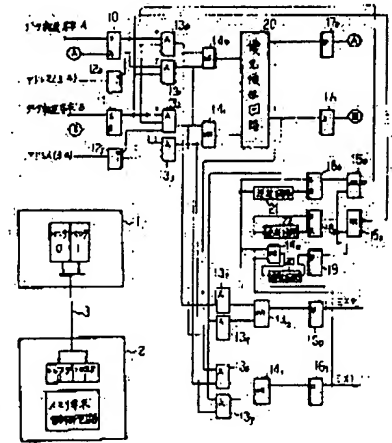
(22)Date of filing : 15.12.1982 (72)Inventor : IMAMURA JIRO

(54) MAIN STORAGE CONTROLLING SYSTEM

(57)Abstract:

PURPOSE: To efficiently perform data processing with a main storage controlling device which puts data from each bank on a bus line, by accepting a next data transfer request from a bank which is not used even when the other banks are used.

CONSTITUTION: Circuits 10 and 11 which latch data transfer requests A and B, respectively, and a priority circuit 20 which selects one out of the requests A and B when they exist in the same cycle, are provided. If a bus line use expecting latch circuit 19 is under a set condition, the invertional output of an OR gate 151 becomes "0" and the acceptance of the request B is inhibited. Thereafter, the circuit 19 is reset, and, if a bank-1 is not used when the circuit 19 is reset, the invertional output of the OR gate 151 becomes "1". Therefore, the request B is accepted and a bank-1 starting request EX1 is outputted to a memory bank 1 and a bank using latch circuit 181 is set.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—109961

⑤ Int. Cl.³
G 06 F 13/00
7/00

識別記号

庁内整理番号
7361—5B
7313—5B

④ 公開 昭和59年(1984)6月25日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 主記憶制御方式

立製作所神奈川工場内

⑰ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑱ 特 願 昭57—218355

⑲ 出 願 昭57(1982)12月15日

⑳ 発 明 者 今村二郎

㉑ 代 理 人 弁理士 薄田利幸

秦野市堀山下1番地株式会社日

明 細 書

1. 発明の名称

主記憶制御方式

2. 特許請求の範囲

(1) 複数のバンクからなり、単一のデータ転送要求に対して、1つのバンクからn回(nは2以上の整数)に分けてデータ転送を行い、各バンクからの出力データを1本のバス線に乗せる主記憶装置において、あるデータ転送要求を受付けた後、そのm番目(mは2以上n以下の整数)のデータ転送と後続のデータ転送要求による1番目のデータ転送が重なるサイクルを予測し、溯つて該当するサイクルのデータ転送要求の受け付けを抑止することを特徴とする主記憶制御方式。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、データ処理システムにおける主記憶制御方式に関するものである。

〔従来技術〕

従来、例えば16Kビット以上の高集積度メモリ

素子においては、メモリチップの入出力ピン数の増加を抑えるために、2度に分けてアドレスをメモリ素子に入力し、1回のデータ読出し要求で、連続したアドレスから2回に分けてデータを読み出す方式がとられることが多い。この場合、メモリ素子内部には、ロウ・アドレスレジスタ(RASと称す)とカラム・アドレスレジスタ(CASと称す)の2個のアドレスレジスタが具備されている。

メモリ素子からデータを読み出す場合、全アドレスを2等分し、上位アドレスを最初にRASにセットし、次に下位アドレスをCASにセットする。メモリ素子内部では、RASアドレス、CASアドレスを互いにデコードし、デコード信号によつて選ばれたメモリ・セルから最初のデータを読み出す。次に下位アドレスの最下位ビットを反転して(最下位ビットが“1”なら“0”に、“0”なら“1”にする)、CASに再びセットし、2番目のデータを読み出す。

以上のようにして、1回のデータ読出し要求に

よつて、連続したアドレスから2回に分けてデータを読み出すことが可能であるが、将来はこれを発展させて、2以上のデータを連続して読み出すことも考えられる。

ところで、この1回のデータ転送要求に対して、1つのバンクから2回に分けてデータ転送を行うにあたり、あるデータ転送要求を受付た後、2回のデータ転送が終る前に、次のデータ転送要求を受付た場合、先行するデータ転送要求による2番目のデータ転送と後続するデータ転送要求による1番目のデータ転送が同じサイクルに起きることがあり、その結果、2つの転送データが同時にバス線に印加され、転送データが破壊されることになる。これを避けるため、従来は、あるデータ転送要求を受付た後、その2回のデータ転送が終了するまで、他のバンクが使用中でない場合であっても、ストア要求は受付るが、データ転送要求の受付は一律に抑止する方式をとっており、性能の低下を招くという問題があつた。

〔発明の目的〕

(3).

1図において、1は主記憶装置、2は主記憶制御装置である。本実施例の場合、主記憶装置1はバンク0とバンク1の2バンクから構成され、各バンクの出力は同じバス線3に接続されている。一方、主記憶制御装置2内には、単一のデータ転送要求に対して、バンク0あるいは1から2回に分けてデータ転送を行うべく、データレジスタが2個あり、転送データを順にセットする。主記憶装置1へのメモリ要求（ストア要求とデータ転送要求）の制御は、主記憶制御装置2に具備されているメモリ要求制御回路が行う。本発明は、このメモリ要求制御回路に係わる。

第2図にメモリ要求制御回路の本発明に係る部分の一実施例を示す。第2図において、10はデータ転送要求Aをラッチするラッチ回路、11はデータ転送要求Bをラッチするラッチ回路である。20は同一サイクルにデータ転送要求A、Bが存在したとき、一方を選択する優先順位回路である。17₀は優先順位回路20を通してデータ転送要求Aが受付けられたことを示すラッチ回路、17₁は同じく

(5).

本発明の目的は、主記憶装置が複数のバンクからなり、単一のデータ転送要求に対して、1つのバンクからn回に分けてデータ転送を行い、各バンクからのデータを1本のバス線に乗せるようにする主記憶制御方式において、使用中でないバンクに対しては、他のバンクがデータ転送処理中であつても、次のデータ転送要求の受付けを可能にすることにある。

〔発明の概要〕

上記目的を達成するため、本発明では、データ転送要求を受付た後、m番目（ $2 \leq m < n$ ）のデータ転送と、後続のデータ転送要求の1番目のデータ転送が重なるサイクルを予測し、溯つて該当する1サイクルデータ転送要求の受付けを抑止し、他のサイクルでは、バンク使用中でないバンクに対して、メモリ要求（ストア要求、データ転送要求）があれば受付けることを特徴とする。

〔発明の実施例〕

第1図は本発明で対象とする主記憶装置と主記憶制御装置との関係を示すブロック図である。第

(4).

データ転送要求Bが受付けられたことを示すラッチ回路である。16₀はバンク0に対する起動要求をラッチするラッチ回路、16₁はバンク1に対する起動要求をラッチするラッチ回路である。18₀はバンク0使用中を示すラッチ回路、18₁はバンク1使用中を示すラッチ回路、19はバス線の使用予定を示すラッチ回路である。

データ転送要求Aでラッチ回路10がセットされ、この時、データ転送要求アドレスのバンク指定ビット（3, 4）が“0”（バンク0を指定）で1ビットデコーダ12₀の“0”出力がハイとなり、且つ、オアゲート15₀の反転出力が“1”で“バンク0使用中でない”、“バス線使用予定でない”が示されていると、アンドゲート13₀の出力が“1”となり、オアゲート14₀、優先順位回路20を経由してデータ転送要求A受付ラッチ回路17₀を1サイクル“1”とする。これにより、ラッチ回路10はリセットされる。同時に、アンドゲート13₁の出力が“1”となり、オアゲート14₁を経由してバンク0の起動要求EX₀を示すラッチ回

(6).

路16₀を1サイクル“1”とする。データ転送要求Aでラッチ回路10がセットされた時、データ転送要求アドレスのバンク指定ビット(3,4)が“1”(バンク1を指定)でデコーダ12₀の“1”出力がハイとなり、且つ、オアゲート15₁の反転出力が“1”で“バンク1使用中でない”、“バス線使用予定でない”が示されていると、アンドゲート13₁の出力が“1”となる。これにより、オアゲート14₀、優先順位回路20を經由してデータ転送要求A受付ラッチ回路17₀を1サイクル“1”にすると同時に、アンドゲート13₀、オアゲート14₃を經由してバンク1の起動要求EX₁を示すラッチ回路16₁を1サイクル“1”とする。

バンク0の起動要求EX₀を示すラッチ回路16₀が“1”になると、バンク0使用中を示すラッチ回路18₀が“1”となる。該ラッチ回路18₀は、所定の時間経過後、遅延回路21の出力で“0”に復旧する。同様に、バンク1使用中を示すラッチ回路18₁は、バンク1の起動要求EX₁を示すラッチ回路16₁の“1”出力で“1”となり、遅延

. (7) .

が成立し、アンドゲート13₃は、ラッチ回路11がセットされた時、デコーダ12₁の“1”出力が“1”、オアゲート15₁の反転出力が“1”であると、アンド条件が成立する。アンドゲート13₂あるいは13₃が“1”になると、オアゲート14₁、優先順位回路20を經由してデータ転送要求B受付ラッチ回路17₁が1サイクル“1”となり、ラッチ回路11はリセットする。データ転送要求Bが受けられ、それがバンク0に対するものであると、アンドゲート13₅が“1”となり、オアゲート14₂を經由でバンク0起動要求ラッチ16₀が“1”となる。また、データ転送要求Bが受けられ、それがバンク1に対するものであると、アンドゲート13₇が“1”となり、オアゲート14₃を經由でバンク1起動要求ラッチ16₁が“1”となる。

第3図は第2図の動作を説明するためのタイムチャートで、バス線使用予定ラッチ回路19の働きにより、先行するデータ転送要求Aによる2番目のデータ転送と、後続するデータ転送要求Bによる1番目のデータ転送が同一サイクルに重なつて

回路22により所定の時間経過後“0”に復旧する。遅延回路21、22の遅延時間はアクセスタイムに対応している。更に、ラッチ回路16₀あるいは16₁が“1”になると、オアゲート14₄、遅延回路23を經由してバス線使用予定を示すラッチ回路19が1サイクル“1”となる。遅延回路23の遅延時間としては、バンク0あるいは1から2番目に読み出されたデータがバス線3に乗る時間を予め予測し、そのとき後続のデータ転送要求の1番目のデータがバス線上で重ならないように、溯つて該当する1サイクル、後続のデータ転送要求の受け付けを抑止する値が選ばれる。

以上はデータ転送要求Aに対する処理であるが、データ転送要求Bに対しても全く同様に処理される。即ち、12₁はデータ転送要求Bアドレスのバンク指定ビット(3,4)の“0”、“1”をデコードする1ビットデコーダであり、アンドゲート13₂は、ラッチ回路11がセットされた時、デコーダ12₁の“0”出力が“1”で、且つオアゲート15₀の反転出力が“1”であると、アンド条件

. (8) .

起きるのが回避されることを示したものである。

バンク0のデータ転送要求AがT₀であり、この時、バンク0が使用中でもなく、バス線も使用予定でないと、T₀とT₁の間で該データ転送要求Aが受けられ、バンク0起動要求EX₀がメモリバンク0に出される。バンク0使用中ラッチ回路18₀はT₁でセットし、T₁₂でリセットする。この間、バンク0からは2回に分けてデータが読み出され、1回目のデータはT₅ - T₆の1サイクル、バス線3に乗り、2回目のデータはT₁₀ - T₁₁の1サイクル、バス線3に乗る。このT₁₀ - T₁₁のサイクルに、後続のデータ転送要求による1番目のデータがバス線3に乗らないようにするには、第3図より、溯つてT₅で発生するデータ転送要求の受け付けを1サイクル禁止すればよい。第2図のバス線使用予定ラッチ19はその働きをするもので、バンク0起動要求EX₀が“1”になると、遅延回路23を通してT₅ - T₆の1サイクル、セット状態をとる。

バス線使用予定ラッチ回路19がセット状態をと

. (9) .

ると、オアゲート15₁の反転出力は“0”となり、データ転送要求Bの受付けは禁止される。その後、T₆になると、バス線使用予定ラッチ回路19はリセットし、その時、バンク1が使用中でないと、オアゲート15₁の反転出力は“1”となる。従つて、T₆とT₇の間でデータ転送要求Bが受付けられて、バンク1起動要求EX₁がメモリバンク1に出され、T₇でバンク使用中ラッチ回路18₁がセットする。このデータ転送要求Bに対して、バンク1から読み出された1回目のデータはT₁₁~T₁₂の1サイクル、バス線3に乗り、2回目のデータはT₁₆~T₁₇の1サイクル、バス線3に乗り。又、T₁₁~T₁₂の1サイクル、バス線使用予定ラッチ19がセット状態をとり、後続のデータ転送要求の受付けを禁止する。

〔発明の効果〕

以上の説明から明らかな如く、本発明によれば、先行するデータ転送要求による2番目のデータ転送と、後続するデータ転送要求による1番目のデータ転送が、同一サイクルに重さなつて起きるデ

ータの破壊を回避することができるため、主記憶がバンク使用中でないときは、他のバンクがデータ転送処理中であつても、データ転送要求を受付けることが可能となる。

4. 図面の簡単な説明

第1図は本発明で対象とするシステムのブロック図、第2図は本発明を適用したメモリ要求制御回路の一実施例を示す図、第3図は第2図の動作を説明するためのタイミング図である。

1…主記憶装置、2…主記憶制御装置、10, 11…データ転送要求ラッチ回路、12₀, 12₁…1ビットデコーダ、16₀, 16₁…バンク起動要求ラッチ回路、17₀, 17₁…データ転送要求受付ラッチ回路、18₀, 18₁…バンク使用中ラッチ回路、19…バス線使用予定ラッチ回路、20…優先順位回路、21, 22, 23…遅延回路。

代理人弁理士 薄 田 利



. 11 .

. 12 .

図 2

図 1

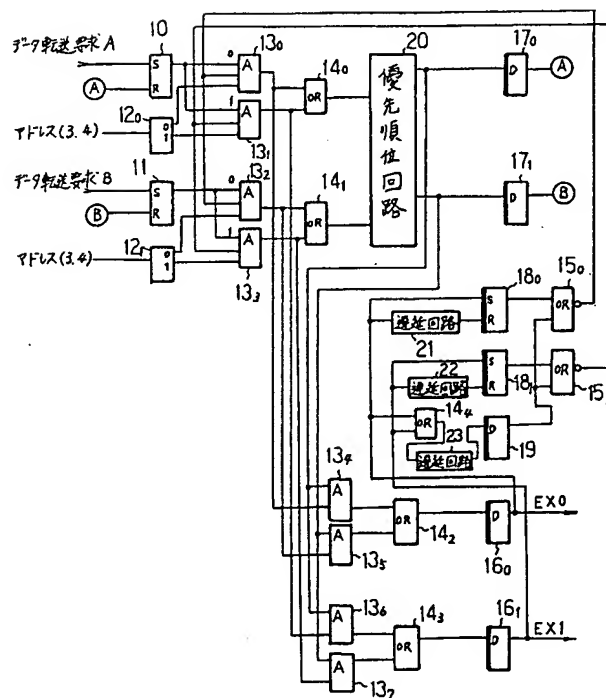
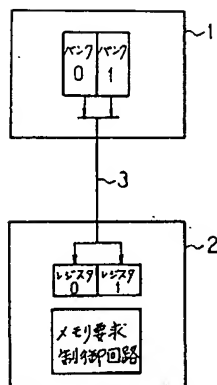
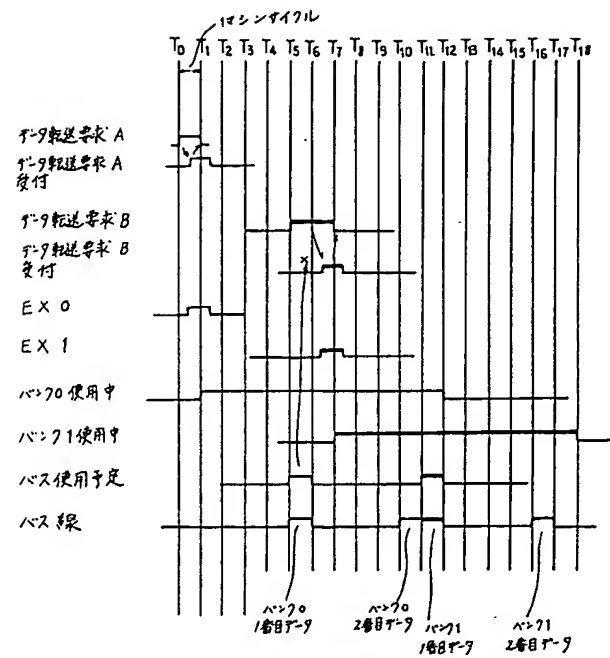


図 3



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.